

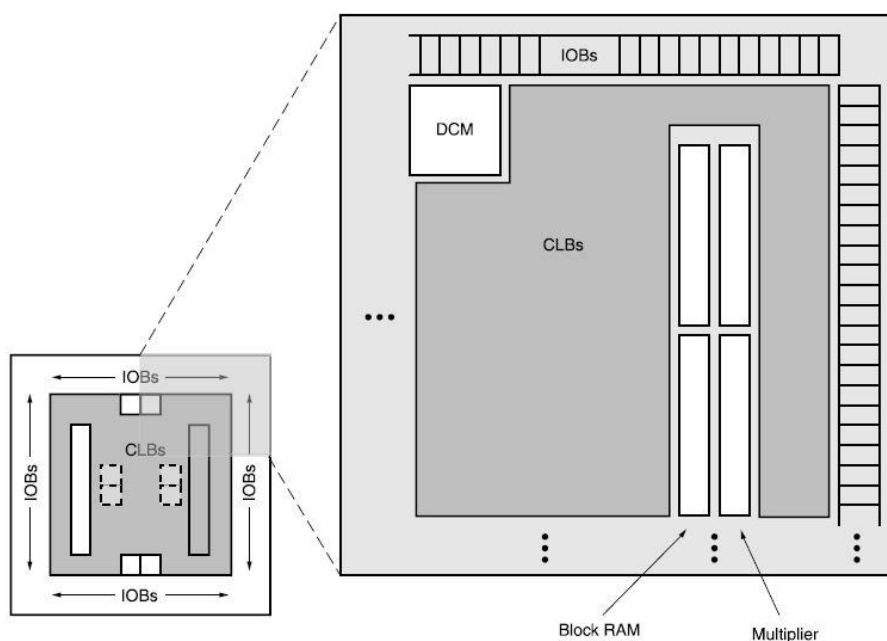
FPGA

Τα FPGA είναι ολοκληρωμένα κυκλώματα, τα οποία έχουν σχεδιαστεί να παραμετροποιούνται από τον μηχανικό ή τον σχεδιαστή της εφαρμογής για την οποία θα χρησιμοποιηθούν αφού κατασκευαστούν. Για την παραμετροποίηση τους χρησιμοποιείται μια γλώσσα περιγραφής υλικού (Hardware Description Language) και στη συνέχεια προγραμματίζονται ηλεκτρονικά με βοηθητικές διατάξεις. Μετά τον προγραμματισμό τους μπορούν να συμπεριφερθούν σαν οποιοδήποτε σχεδόν ψηφιακό κύκλωμα ή διάταξη. Στη δομή τους συμπεριλαμβάνουν προγραμματιζόμενα λογικά στοιχεία που ονομάζονται «Logic Blocks», καθώς και εσωτερικές συνδέσεις, οι οποίες επιτρέπουν τα Logic Blocks να συνδέονται μεταξύ τους και να συνδυάζονται, ώστε να εκτελούν πολύπλοκες συνδυαστικές λειτουργίες.

Στο εργαστήριο χρησιμοποιείται το FPGA XC3S500E της οικογένειας Spartan-3E της Xilinx. Το ολοκληρωμένο αυτό αποτελείται από περίπου 500.000 πύλες οι οποίες υλοποιούν διαφόρων τύπων Logic Blocks:

- Configurable Logic Blocks (CLBs)
- Input/Output Blocks (IOBs)
- RAM Blocks
- Multiplier Blocks
- Digital Clock Manager Blocks (DCM)

Τα Logic Blocks διατάσσονται με κατάλληλο τρόπο ώστε να είναι δυνατός ο συνδυασμός τους (σχήμα 6).



Σχήμα 6. Διάταξη των Logic Blocks στο FPGA.

Τα CLB's είναι η κύρια διάταξη όπου υλοποιούνται τόσο τα σύγχρονα, όσο και τα συνδυαστικά κυκλώματα και είναι οργανωμένα σε διάταξη στηλών και σειρών. Κάθε CLB αποτελείται από 4 slices. Κάθε slice περιέχει 2 Look-Up Tables τεσσάρων εισόδων (4-input LTUs), τα οποία, στα 2 από τα 4 slices, είναι δυνατό να λειτουργήσουν ως μνήμη 16bit (16x1 RAM block) ή ως καταχωρητής ολίσθησης 16bit (shift register). Επίσης κάθε slice περιέχει 2 Flip-Flops, 2 πολυπλέκτες (multiplexers), πύλες για αριθμητική λογική και κύκλωμα κρατούμενου (carry). Ο συνολικός αριθμός των CLB's του συγκεκριμένου FPGA είναι 1.164 και κατά αντιστοιχία ο συνολικός αριθμός των slices είναι 4.656, ενώ των LTUs είναι 9.312 και ομοίως και των Flip-Flops.

Τα IOBs είναι υπεύθυνα για την επικοινωνία της εσωτερικής λογικής του FPGA με εξωτερικά στοιχεία μέσω ακροδεκτών. Το πρωτόκολλο επικοινωνίας τους είναι παραμετροποιήσιμο (TTL, CMOS, PCI, HSTL, SSTL) με τάση λειτουργίας από 1,2V ως 3,3V (ανάλογα με το πρωτόκολλο και τη λειτουργία). Τα περισσότερα έχουν αμφίδρομη λειτουργία εκτός από ορισμένα, ο αριθμός των οποίων δεν ξεπερνάει το 25% του συνολικού, που εκτελούν λειτουργία μόνο εισόδου. Το FPGA που χρησιμοποιήθηκε διαθέτει 232 IOBs οργανωμένα σε 4 περιοχές (Banks).

Τα RAM Blocks χρησιμοποιούνται για αποθήκευση δεδομένων και έχουν δομή διπλής θύρας εισόδου – εξόδου (dual port). Το κάθε Block διαθέτει δύο πανομοιότυπες θύρες (ports), A & B, οι οποίες έχουν πρόσβαση στη μνήμη ανεξάρτητα η μία από την άλλη. Η κάθε μία μπορεί να γράφει δεδομένα στη μνήμη και να τα διαβάζει, αλλά υπάρχει και η δυνατότητα η μία να γράφει δεδομένα και να τα διαβάζει η άλλη. Το κάθε RAM Block έχει χωρητικότητα 18.432bits, συμπεριλαμβανομένων και των bit ισοτιμίας (parity bits). Το συγκεκριμένο FPGA συμπεριλαμβάνει 20 Blocks, δηλαδή συνολικά 368.640bits.

Οι πολλαπλασιαστές (Multiplier Blocks) εκτελούν πολλαπλασιασμούς προσημασμένων αριθμών μεγέθους 18bits σε μορφή συμπληρώματος του δύο και εξάγουν προσημασμένο αποτέλεσμα επίσης σε μορφή συμπληρώματος του δύο, μεγέθους 36bits. Εκτός από πολλαπλασιασμούς έχουν τη δυνατότητα να εκτελέσουν κυκλική μετατόπιση αλλά και να χρησιμοποιηθούν ως αποθηκευτικοί χώροι. Επίσης διαθέτουν επιπλέον καταχωρητές ώστε να είναι δυνατή η διαδοχική σύνδεση των Blocks, δομή που χρησιμοποιείται σε αλγόριθμους ψηφιακής επεξεργασίας σήματος όπως τα FIR φίλτρα. Συνολικά υπάρχουν 20 Multiplier Blocks διαθέσιμα στο FPGA που χρησιμοποιήθηκε, οργανωμένα σε δύο στήλες μαζί με τα RAM Blocks.

Τα DCM αναλαμβάνουν τη δημιουργία και διαχείριση παλμών ρολογιού για το ολοκληρωμένο. Για να εκτελέσουν αυτή τη λειτουργία διαθέτουν ένα Delay-Locked Loop (DLL) το οποίο είναι ένα αμιγώς ψηφιακό σύστημα ελέγχου. Το DLL έχει μια είσοδο χρονισμού από εξωτερική πηγή και με ένα σύστημα ανάδρασης παράγει παλμούς ρολογιού με συχνότητες πολλαπλάσιες ή υποπολλαπλάσιες της συχνότητας του σήματος εισόδου ή με διαφορά φάσης από αυτό. Επίσης διατηρεί τα χαρακτηριστικά των σημάτων ρολογιού σταθερά και με μεγάλη ακρίβεια. Το FPGA στη συγκεκριμένη εφαρμογή διαθέτει 4 DCMs.

Για την ανάπτυξη των εφαρμογών χρησιμοποιείται το αναπτυξιακό σύστημα SPARTAN – 3E το οποίο, εκτός από το FPGA που περιγράφηκε παραπάνω, διαθέτει και μια σειρά ηλεκτρονικών διατάξεων και βοηθητικών κυκλωμάτων:

- 64MB DDR SDRAM 100+MHz
- 16MB NOR Flash
- 2x16 LCD Screen
- PS/2, VGA, RS232, Ethernet Ports
- Switches, Buttons, LEDs, Rotary encoder
- 2xSPI 14bit ADC & 4xSPI 12bit DAC
- 50MHz Clock Oscillator
- 40 I/O Pins